

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

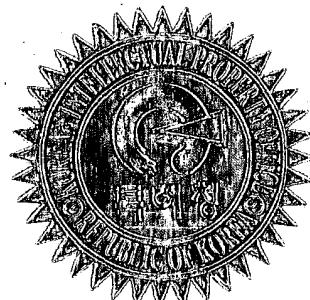
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0078632  
Application Number

출원년월일 : 2002년 12월 11일  
Date of Application DEC 11, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.

2003년 05월 14일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002.12.11		
【발명의 명칭】	전류 이득 트랜지스터의 크기 조절을 통해 기준 전압을 생성하는 강유전체 메모리 장치		
【발명의 영문명칭】	Nonvolatile ferroelectric memory device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	노금환		
【성명의 영문표기】	NOH, Keum Hwan		
【주민등록번호】	681014-1036917		
【우편번호】	143-202		
【주소】	서울특별시 광진구 구의2동 32-38 203호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	19	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	3	항	205,000 원
【합계】	234,000 원		

1020020078632

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 메모리 셀과 같은 크기의 강유전체 커패시터를 기준셀에 적용하면서, 열화에 의한 기준전압 신호의 변화를 억제하고 또한 단순한 주변회로만으로 데이터 센싱이 가능하도록 하는 FeRAM을 제공하고자 하는 것으로, 이를 위한 본 발명의 FeRAM은 계층적 비트라인 구조의 전류 이득 셀 방식의 강유전체 메모리 장치에서, 기준신호를 전류이득트랜지스터의 조절을 통해 얻을 수 있도록 한다. 메모리셀과 동일한 크기인 기준셀의 데이터 '1'과 '0'의 신호가 전류이득트랜지스터를 턴온 시킬때 기준셀의 전류이득트랜지스터의 크기를 메모리셀의 전류이득트랜지스터와 다르게 조절함으로써, 기준값을 갖는 메인비트라인의 신호의 크기를 최적의 값에 오도록 조절할 수 있다.

**【대표도】**

도 4

**【색인어】**

강유전체메모리, 기준전압, 전류이득트랜지스터, 트랜지스터 크기 조절

**【명세서】****【발명의 명칭】**

전류 이득 트랜지스터의 크기 조절을 통해 기준 전압을 생성하는 강유전체 메모리 장치{Nonvolatile ferroelectric memory device}

**【도면의 간단한 설명】**

도 1은 통상적인 강유전체의 히스테리시스 루프를 나타낸 특성도.

도 2는 통상적인 강유전체메모리의 단위 셀(Cell) 회로도.

도 3a 및 도 3b는 종래기술에 따른 기준전압 발생을 위한 기준 셀을 도시한 회로도.

도 4는 본 발명의 바람직한 실시예에 따른 전류 이득 셀 방식의 FeRAM을 나타내는 회로도.

도 5는 전류 이득 셀 방식의 FeRAM의 등가회로도.

도 6은 서브비트라인의 전압과 메인비트라인의 전압 사이의 관계를 나타낸 그래프.

도 7a 및 도 7b는 전류이득트랜지스터의 크기(폭 또는/및 길이)의 조절을 통해서 최적의 기준전압 값을 생성할 수 있음을 보여주는 그래프.

\* 도면의 주요부분에 대한 부호의 설명

420 : 메모리부

424, 444 : 전류이득트랜지스터

440 : 기준셀부

460 : 센스앰프

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 소자중 하나인 비휘발성 강유전체메모리장치(FeRAM : Ferroelectric Random Access Memory))에 관한 것으로, 특히 전류 이득 셀 방식의 강유전체 메모리장치에서의 기준전압 발생 방법에 관한 것이다.

<12> 잘 알려진 바와 같이, 불휘발성 강유전체 메모리 장치 즉, FeRAM은 DRAM(Dynamic Random Access Memory)정도의 데이터 처리 속도를 갖고, 전원의 오프(off)시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

<13> FeRAM은 DRAM과 거의 유사한 셀 구조 즉, 하나의 스위칭 소자(트랜지스터)와 하나의 커패시터로 구성되는 1T/1C 구조의 단위 셀을 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다. 이와 같은 잔류분극 특성으로 인해 전계를 제거하여도 데이터가 지워지지 않는다.

<14> 도 1은 통상적인 강유전체의 히스테리시스 루프를 나타낸 특성도이다.

<15> 도 1을 참조하면, 전계에 의해 유기된 분극이 전계를 제거하여도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고, 일정량(d상태, a상태)을 유지하고 있는 것을 알 수 있다. 불휘발성 강유전체 메모리 셀은 스위칭전하(Q1)와 비스위칭전하(Q0)를 각각 로직 '1' 및 로직 '0'으로 대응시켜 기억소자로 응용한 것이다.

<16> 도 2는 통상적인 강유전체메모리의 단위 셀(Cell) 회로도이다.

<17> 도 2를 참조하면, 단위 셀은 로우(Row) 방향으로 형성되는 워드라인 WL 및 플레이트라인 PL과, 워드라인 WL 및 플레이트라인 PL을 가로지르는 방향으로 형성된 비트라인 BL과, 게이트가 워드라인 WL에 연결되고 드레인이 비트라인 BL에 연결되는 스위칭 트랜지스터 TR과, 트랜지스터 TR의 소스와 플레이트라인 PL 사이에 연결된 강유전체 커패시터 FC를 포함하여 구성된다. 이와 같은 단위 셀이 복수개 배치되어 셀 어레이부를 구성하게 된다.

<18> 한편, 강유전체 메모리를 구동하기 위해서는 기준전압이 필요시 된다. 예컨대 단위 셀에 저장된 데이터를 읽기 위해서는 정비트라인 BL에 전달된 데이터 전압이 미세하기 때문에, 이를 부비트라인 /BL에 전달된 기준전압과 비교 증폭하여야 한다.

<19> 도 3a 및 도 3b는 종래기술에 따른 기준전압 발생을 위한 기준 셀을 도시한 회로이다.

<20> 도 3a에 도시된 기준셀은 메모리 셀과 실질적으로 같은 크기의 강유전체 커패시터를 갖는 두개의 셀을 이용하고, 어느한 셀의 데이터 '1'과 다른 셀의 데이터 '0' 사이의 평균신호를 비트라인 /BL0, /BL1에 전달하여 그 신호가 기준신호로서 사용되도록 한 방식이다. RWL은 기준셀의 워드라인을, RPL은 기준셀의 플레이트라인을 각각 나타낸다.

<21> 그러나, 도 3a의 기준셀을 사용하는 방법은 원칙적으로 두 신호의 평균이 정확히 데이터 '1'과 '0'의 중앙값에 나와야 하지만 실제로는 강유전체커패시터의 스위칭전하와 비스위칭전하 간의 열화속도의 차이등의 문제로 인하여 메모리 셀의 데이터 '1'과 '0'의 중앙값을 제공하지 못하여 정확한 기준전압을 생성하기에 어려움이 있다. 또한 두 셀을

각각 데이터 '1'과 '0'으로 항상 쓰고 읽기 위하여 더욱 복잡한 주변회로가 필요하다는 문제점이 있다.

<22> 도 3b에 도시된 기준셀은 메모리 셀의 강유전체 커패시터보다 큰 크기의 강유전체 커패시터의 기준셀에 적용하고, 이의 비스위칭전하를 기준전압으로 생성하는 방법이다.

<23> 그러나, 도 3b의 기준셀을 사용하는 방법은 기준셀의 강유전체 커패시터가 메모리 셀의 것 보다 크므로 커패시터 열화에 의한 영향도 기준 셀이 더욱 크게 받게되어 메모리의 신뢰성에 나쁜 영향을 주는 문제가 있다.

<24> 한편, 최근에는 데이터 센싱 마진을 향상시키기 위하여 계층적(Hierarchy) 비트라인 구조를 갖는 전류 이득 셀(Current Gain Cell) 방식의 FeRAM이 제안된 바 있다.

<25> 그런데, 전류 이득 방식의 FeRAM에서는 아직 상기한 문제점들을 모두 해결하면서 최적의 기준전압을 발생시킬 수 있는 기준전압 발생 방법이 제시되지 못하고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상술한 제반 요구 사항에 따라 제안된 것으로서, 메모리 셀과 같은 크기의 강유전체 커패시터를 기준셀에 적용하면서, 열화에 의한 기준전압 신호의 변화를 억제하고 또한 단순한 주변회로만으로 데이터 센싱이 가능하도록 하는 FeRAM을 제공함을 그 목적으로 한다.

**【발명의 구성 및 작용】**

<27> 상기 목적을 달성하기 위한 본 발명의 강유전체메모리장치는, 로우(Row) 방향으로 형성되는 워드라인 및 플레이트라인과, 워드라인 및 플레이트라인을 가로지르는 방향으로 형성된 서브비트라인 및 메인비트라인으로 구성되어 계층적 비트라인 구조를 갖으며, 상기 서브비트라인에 접속된 복수의 메모리셀과, 상기 서브비트라인에 게이트가 접속되고 일단이 접지전원공급단에 연결되고 타단이 상기 메인비트라인에 연결된 전류이득트랜지스터와, 접지전원공급단에 게이트가 연결되고 메인비트라인에 일단이 연결되며 타단이 공급전원공급단에 연결된 로드용 트랜지스터를 포함하는 메모리셀부;

<28> 로우(Row) 방향으로 형성되는 기준워드라인 및 기준플레이트라인과, 기준워드라인 및 기준플레이트라인을 가로지르는 방향으로 형성된 기준서브비트라인 및 기준메인비트라인으로 구성되어 계층적 비트라인 구조를 갖으며, 상기 기준서브비트라인에 접속된 기준셀과, 상기 기준서브비트라인에 게이트가 접속되고 일단이 접지전원공급단에 연결되고 타단이 상기 기준메인비트라인에 연결된 전류이득트랜지스터와, 접지전원공급단에 게이트가 연결되고 상기 기준메인비트라인에 일단이 연결되며 타단이 공급전원공급단에 연결된 로드용 트랜지스터를 포함하는 기준셀부; 및

<29> 상기 메모리셀부의 메인비트라인과 상기 기준셀부의 기준메인비트라인에 실린 전압 차를 비교 증폭하여 데이터를 출력하는 센스앰프부를 포함하고,

<30> 상기 메모리셀과 상기 기준셀에 구비된 강유전체커패시터는 실질적으로 동일한 크기를 가지며,

<31> 상기 메모리셀부의 전류이득트랜지스터와 상기 기준셀부의 전류이득트랜지스터는 서로 다른 크기를 갖는 것을 특징으로 한다.

<32> 상기한 바와 같이, 본 발명은 전류 이득 셀 방식의 강유전체 메모리 장치에서, 기준신호를 전류이득트랜지스터의 조절을 통해 얻을 수 있도록 한다. 메모리셀과 동일한 크기인 기준셀의 데이터 '1'과 '0'의 신호가 전류이득트랜지스터를 턴온 시킬때 기준셀의 전류 이득 트랜지스터의 크기를 메모리셀의 전류이득트랜지스터와 다르게 조절함으로써, 기준값을 갖는 메인비트라인의 신호의 크기를 최적의 값에 오도록 조절할 수 있다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하도록 한다.

<34> 도 4는 본 발명의 바람직한 실시예에 따른 전류 이득 셀 방식의 FeRAM을 나타내는 회로도이다.

<35> 도 4를 참조하면, 전류 이득 셀 방식의 FeRAM은 계층적 비트라인 구조의 메모리셀부(420)와, 기준전압을 제공하는 기준셀부(440)와, 메모리셀부의 메인비트라인 MBL 및 기준셀부(440)의 기준메인비트라인 RMBL에 실린 전압차를 비교 증폭하여 데이터를 출력하는 센스앰프부(460)로 구성되어 있다.

<36> 메모리셀부(420)는 로우(Row) 방향으로 형성되는 워드라인 WL 및 플레이트라인 PL과, 워드라인 WL 및 플레이트라인 PL을 가로지르는 방향으로 형성된 서브비트라인 SBL 및 메인비트라인 MBL로 구성되어 계층적 비트라인 구조를 갖는다.

<37> 그리고, 메모리셀부(420)는 서브비트라인 SBL에 접속된 복수의 메모리셀(422)과, 상기 서브비트라인 SBL에 게이트가 접속되고 소스(또는 드레인)가 접지전원 VSS 공급단에 연결되고 드레인(또는 소스)가 메인비트라인 MBL에 연결된 전류 이득 트랜지스터 (Current Gain Transistor)(424)와, 접지전원 VSS 공급단에 게이트가 연결되고 메인비트라인 MBL에 소스(또는 드레인) 연결되며 드레인(또는 소스)가 공급전원 Vcc 공급단에 연결된 메인비트라인 센스 로드용 트랜지스터(426)를 포함한다.

<38> 단위 메모리셀(422)은 게이트가 워드라인 WL에 연결되고 드레인이 서브비트라인 SBL에 연결되는 스위칭 트랜지스터 TR과, 트랜지스터 TR의 소스와 플레이트라인 PL 사이에 연결된 강유전체 커패시터 FC를 포함하여 구성된다. 이와 같은 단위 셀의 복수개가 상기 서브비트라인 SBL에 접속되어 구성된다.

<39> 기준셀부(440)는 로우(Row) 방향으로 형성되는 기준워드라인 RWL 및 기준플레이트라인 RPL과, 기준워드라인 RWL 및 기준플레이트라인 RPL을 가로지르는 방향으로 형성된 기준서브비트라인 RSBL 및 기준메인비트라인 RMBL로 구성되어 계층적 비트라인 구조를 갖는다.

<40> 그리고, 기준셀부(420)는 기준서브비트라인 RBL에 접속된 복수의 기준셀(442)과, 상기 기준서브비트라인 RSBL에 게이트가 접속되고 소스(또는 드레인)가 접지전원 VSS 공급단에 연결되고 드레인(또는 소스)가 기준메인비트라인 RMBL에 연결된 전류 이득 트랜지스터(Current Gain Transistor)(444)와, 접지전원 VSS 공급단에 게이트가 연결되고 기준메인비트라인 MBL에 소스(또는 드레인) 연결되며 드레인(또는 소스)가 공급전원 Vcc 공급단에 연결된 기준메인비트라인 센스 로드용 트랜지스터(446)를 포함한다.

<41> 단위 기준셀(442)은 게이트가 기준워드라인 RWL에 연결되고 드레인이 기준서브비트라인 RSBL에 연결되는 스위칭 트랜지스터 RTR과, 트랜지스터 RTR의 소스와 기준플레이트라인 RPL 사이에 연결된 강유전체 커패시터 RFC를 포함하여 구성된다. 이와 같은 단위 셀의 복수개가 상기 기준서브비트라인 RSBL에 접속되어 구성된다.

<42> 메모리셀 및 기준셀의 전류 이득 트랜지스터(424, 444)는 각각 NMOS로 구현되고, 센스 로드용 트랜지스터(426, 446)는 각각 PMOS로 구현된다.

<43> 중요하게 메모리셀(422)의 강유전체커패시터 FC는 기준셀(442)의 강유전체커패시터 RFC와 실질적으로 동일한 크기로 구성된다.

<44> 그리고, 더욱 중요하게 메모리셀부(420)의 전류이득트랜지스터(424)는 기준셀부(440)의 전류이득트랜지스터(424)와 크기가 다르다.

<45> 본 발명은 기준셀부(440)의 전류이득트랜지스터(424)의 크기를 조절하여, 기준메인비트라인 RMBL에 실리는 논리 '1'에 대응하는 전압  $V_{RMBL}^{''1''}$ 과 논리 '0'에 대응하는 전압  $V_{RMBL}^{''0''}$ 의 사이의 중간전압을 기준전압으로 생성하는 것이다. 즉, 기준셀부(440)의 전류이득트랜지스터(424)의 폭(width)과 길이(length)를 메모리셀부(420)의 전류이득트랜지스터(424)의 것과 다르게 조절하는 것에 의해 최적의 기준전압을 생성한다.

<46> 도 5는 기준셀부의 등가회로도이다.

<47> 도 4 및 도 5를 참조하면, 기준셀의 기준플레이트라인 RPL에 전압이 인가되면 강유전체커패시터 RFC의 데이터 저장 상태에 따라 기준서브비트라인 RSBL의 전압  $V_{RSBL}$ 은 논리 '1'에 대응하는 전압  $V_{RSBL}^{''1''}$  또는 논리 '0'에 대응하는 전압  $V_{RSBL}^{''0''}$ 이 된다.

<48> 전류이득트랜지스터(444)에 흐르는 전류( $I_N$ )는 기준서브비트라인의 전압  $V_{RSBL}$ 과 기준메인비트라인 RMBL의 전압  $V_{RMBL}$ 에 따라 결정되게 된다.

<49> 기준메인비트라인 RMBL은 PMOS를 통하여  $V_{cc}$ 전압단과 연결되어 있으므로 기준메인비트라인의 전압  $V_{RMBL}$ 의 크기에 따라 PMOS(로드용 트랜지스터 446)에 흐르는 전류( $I_P$ )의 양이 결정되게 된다. 평형상태에서 두 전류( $I_N$ ,  $I_P$ )가 같으므로 두 전류가 같아지는 조건에서 기준메인비트라인의 전압  $V_{RMBL}$ 이 결정된다.

<50> 도 6은 서브비트라인 SBL의 전압과 메인비트라인 MBL의 전압 사이의 관계를 나타낸다.

<51> 전류이득트랜지스터에 흐르는 전류  $I_N$ 과 로드용 트랜지스터  $I_P$ 가 실질적으로 동일하게되는 시점에서 메인비트라인의 전압  $V_{MBL}$ 이 결정된다.

<52> 강유전체커패시터가 스위칭될 때의 서브비트라인 전압  $V_{SBL}^{''1''}$ 이 1.8V인 경우를 예로들면  $V_{MBL}^{''1''}$ 은 1.2V가 된다. 또한, 강유전체커패시터의 비스위칭될 때의 서브비트라인 전압  $V_{SBL}^{''0''}$ 이 1.2V인 경우를 예로들면  $V_{MBL}^{''0''}$ 은 2.7V가 된다.

<53> 따라서, 서브비트라인의 전압차  $\Delta V_{SBL}$ 은 0.6V인데 반하여, 메인비트라인의 전압차  $\Delta V_{MBL}$ 은 1.5V가 되어 서브비트라인의 전압차  $\Delta V_{SBL}$ 의 2.5배의 센싱 마진 향상을 가져 준다.

<54> 이때, 논리 '1'과 '0' 사이의 기준전압은  $V_{SBL}$ 의 1.5V에서  $V_{REF}=1.9V$ 의 최적의 기준 전압값을 갖게 된다.

<55> 도 7a 및 도 7b는 전류이득트랜지스터의 크기(폭 또는/및 길이)의 조절을 통해서 최적의 기준전압 값을 생성할 수 있음을 보여준다.

<56> 전류이득트랜지스터인 NMOS에 흐르는 전류 양은 NMOS의 폭(Width)이 커질수록 증가하고 길이(Length)가 길어질수록 감소하게 된다.

<57> 도 7a는 기준셀에 데이터 '0'이 저장되어, 즉 강유전체커패시터의 비스위칭 전하를 이용하는 경우이다.

<58> 메모리셀부의 전류이득트랜지스터(도 4의 424)의 크기가 0.6(폭)  $\times$  0.3(길이)이고, 기준셀부의 전류이득트랜지스터(도 4의 444)의 크기가 1.2(폭)  $\times$  0.3(길이)로 설정하면, 기준전압  $V_{REF}=1.9V$ 를 제공할 수 있음을 알수 있다.

<59> 도 7b는 기준셀에 데이터 '1'이 저장되어, 즉 강유전체커패시터의 스위칭 전하를 이용하는 경우이다.

<60> 메모리셀부의 전류이득트랜지스터(도 4의 424)의 크기가 0.6(폭)  $\times$  0.3(길이)이고, 기준셀부의 전류이득트랜지스터(도 4의 444)의 크기가 0.6(폭)  $\times$  0.4(길이)로 설정하면, 기준전압  $V_{REF}=1.9V$ 를 제공할 수 있음을 알수 있다.

### 【발명의 효과】

<61> 본 발명에 따르면 다음과 같은 효과를 가져다 준다.

<62> 첫째, 고집적 1T1C의 강유전체 메모리를 제작하기 위하여 필요한 기준전압을 항상 메모리 셀과 같은 크기의 강유전체메모리를 사용하는 기준셀을 이용하고, 상대적으로 공정이 안정화되고 특성확보가 쉬운 NMOS만으로 조절함으로써, 강유전체커패시터의 크기를 최적화하는데 필요한 시간과 비용을 절감할 수 있다.

<63> 둘째, 메모리 셀보다 크고 데이터 '0'을 갖는 강유전체커패시터를 사용하는 종래기술에 비하여, 열화에 따른 기준신호의 변화를 줄일수 있어 제품의 수면을 늘리고 신뢰성을 향상시킬 수 있다.

<64> 세째, 메모리 셀과 동일한 강유전체커패시터를 갖는 두개의 기준셀을 사용하고 데이터 '1'과 '0'의 평균신호값을 이용하는 종래기술에 비하여, 하나의 셀만을 사용하므로 단순한 주변회로만 필요하고 정확한 기준신호를 만들기에 편리하다.

## 【특허청구범위】

## 【청구항 1】

로우(Row) 방향으로 형성되는 워드라인 및 플레이트라인과, 워드라인 및 플레이트라인을 가로지르는 방향으로 형성된 서브비트라인 및 메인비트라인으로 구성되어 계층적 비트라인 구조를 갖으며, 상기 서브비트라인에 접속된 복수의 메모리셀과, 상기 서브비트라인에 게이트가 접속되고 일단이 접지전원공급단에 연결되고 타단이 상기 메인비트라인에 연결된 전류이득트랜지스터와, 접지전원공급단에 게이트가 연결되고 메인비트라인에 일단이 연결되며 타단이 공급전원공급단에 연결된 로드용 트랜지스터를 포함하는 메모리셀부;

로우 (Row) 방향으로 형성되는 기준워드라인 및 기준플레이트라인과, 기준워드라인 및 기준플레이트라인을 가로지르는 방향으로 형성된 기준서브비트라인 및 기준메인비트라인으로 구성되어 계층적 비트라인 구조를 갖으며, 상기 기준서브비트라인에 접속된 기준셀과, 상기 기준서브비트라인에 게이트가 접속되고 일단이 접지전원공급단에 연결되고 타단이 상기 기준메인비트라인에 연결된 전류이득트랜지스터와, 접지전원공급단에 게이트가 연결되고 상기 기준메인비트라인에 일단이 연결되며 타단이 공급전원공급단에 연결된 로드용 트랜지스터를 포함하는 기준셀부; 및

상기 메모리셀부의 메인비트라인과 상기 기준셀부의 기준메인비트라인에 실린 전압 차를 비교 증폭하여 데이터를 출력하는 센스앰프부를 포함하고,  
상기 메모리셀과 상기 기준셀에 구비된 강유전체커패시터는 실질적으로 동일한 크기를 가지며,

상기 메모리셀부의 전류이득트랜지스터와 상기 기준셀부의 전류이득트랜지스터는 서로 다른 크기를 갖는 것을 특징으로 하는 강유전체 메모리 장치.

### 【청구항 2】

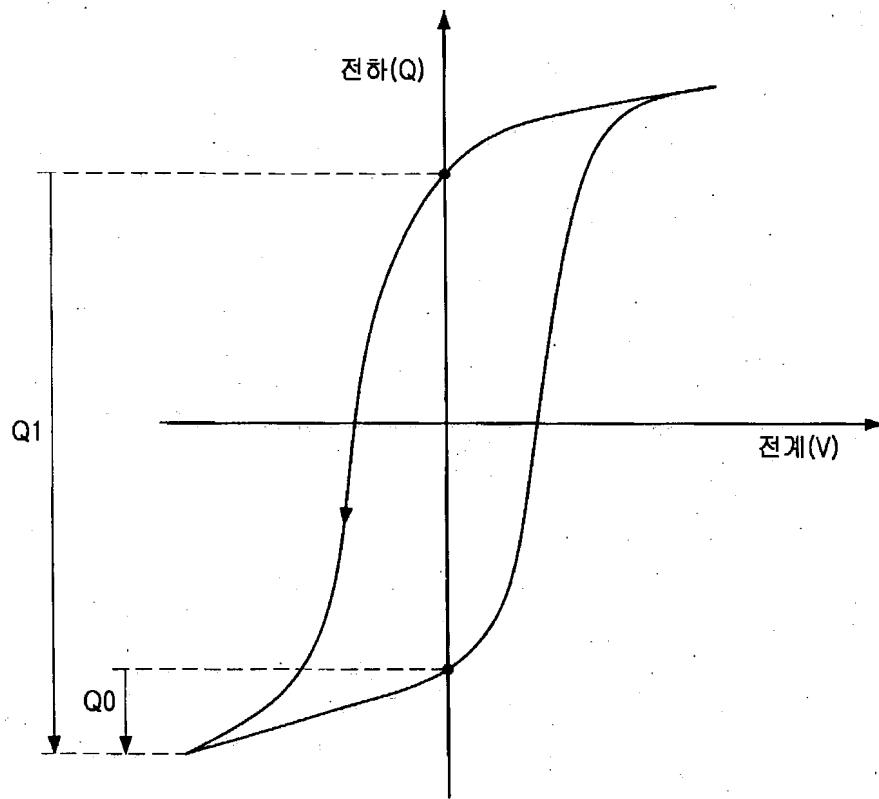
제1항에 있어서, 상기 기준셀의 강유전체커패시터가 비스위칭 전하를 이용하여 기준전압을 생성하고, 상기 메모리셀부 및 상기 기준셀부의 전류이득트랜지스터는 NMOS이고, 상기 기준셀부의 전류이득트랜지스터는 상기 메모리셀부의 전류이득트랜지스터에 비하여 폭이 상대적으로 큰 것을 특징으로 하는 강유전체 메모리 장치.

### 【청구항 3】

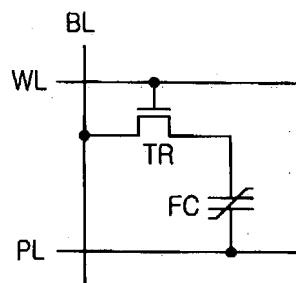
제1항에 있어서, 상기 기준셀의 강유전체커패시터가 스위칭 전하를 이용하여 기준전압을 생성하고, 상기 메모리셀부 및 상기 기준셀부의 전류이득트랜지스터는 NMOS이고, 상기 기준셀부의 전류이득트랜지스터는 상기 메모리셀부의 전류이득트랜지스터에 비하여 길이가 상대적으로 큰 것을 특징으로 하는 강유전체 메모리 장치.

## 【도면】

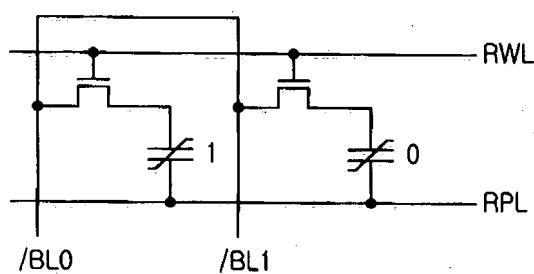
【도 1】



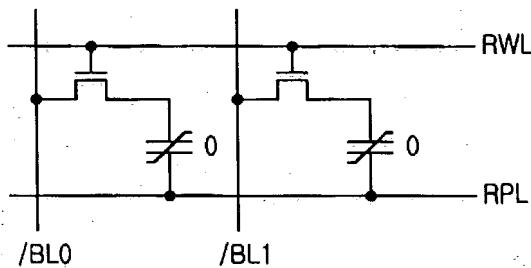
【도 2】



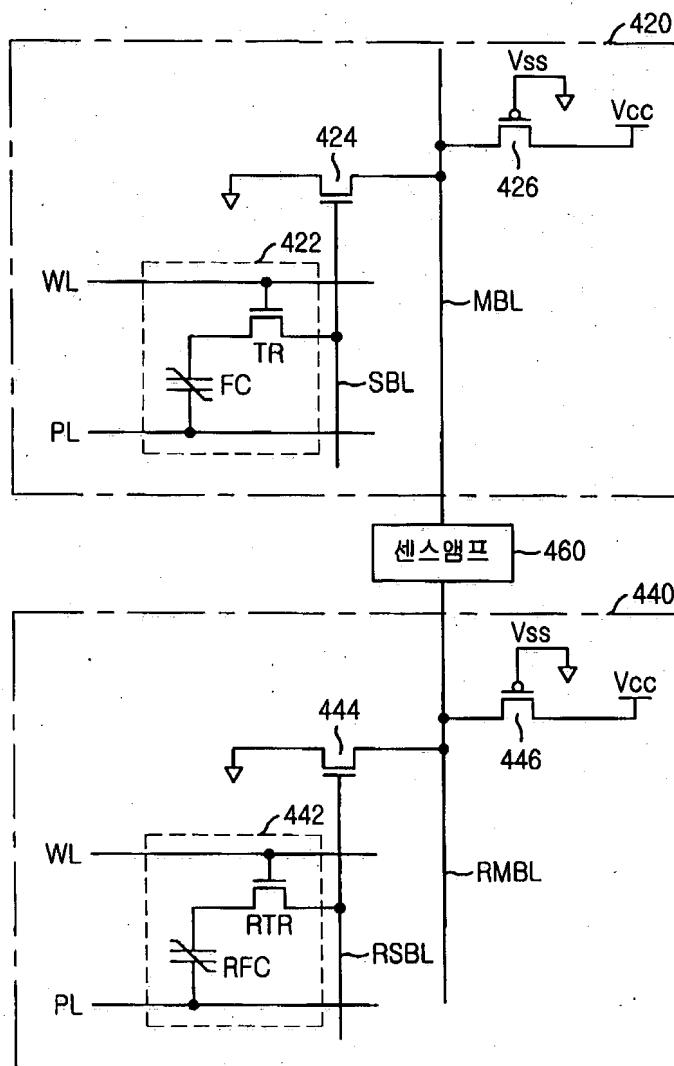
【도 3a】



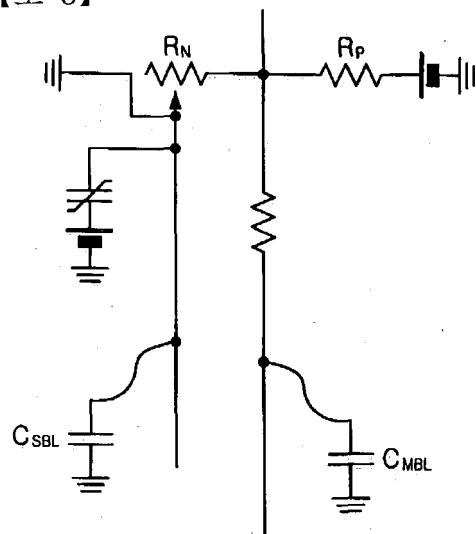
【도 3b】



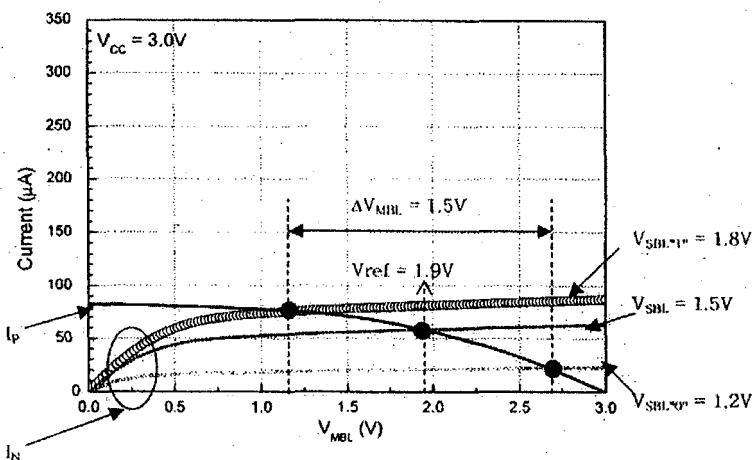
【도 4】



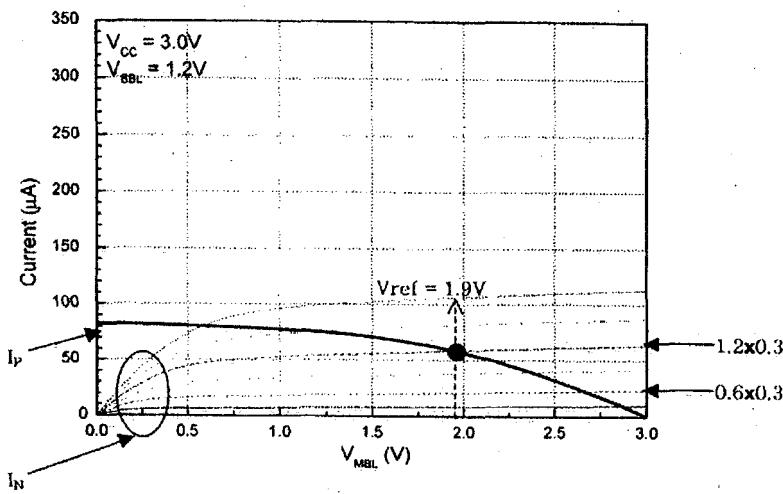
【도 5】



【도 6】



【도 7a】



【도 7b】

